

E8 FPGA を用いたソフトウェア・ラジオの一構成

竹内 大祐 井澤 裕司 アサノ デービッド

信州大学工学部

1 はじめに

CPU や周辺回路の性能向上により、ソフトウェアによるリアルタイム処理の応用範囲が拡大している。しかし、専用ハードウェアの処理能力は高く、ソフトウェアに比べ数倍～数十倍程度高い性能が期待できる。

近年、大容量化が進む FPGA(Field Programmable Gate Array) ^{[1][2][4]} は、プログラム可能な半導体デバイスであり、CAD により設計した回路情報をダウンロードすることにより、様々な専用 LSI として動作させることができる。さらに、リコンフィギュラブル(再構成可能)という特長を生かせば、物理的な回路を変更せずに、その機能をダイナミックに変更することも可能である。我々はこのような FPGA の特性に着目し、ハードウェアの高速性と、ソフトウェアの柔軟性を兼ね備えた画像伝送システムについて研究を進めてきた^[3]。

今回は、新たにプロセッサ・コアと専用ロジック回路を FPGA 上に実装し、アプリケーションに合わせてそれらの機能分担を最適化する手法について検討した。本稿では、この手法を「ソフトウェア・ラジオ」^[2] に適用した事例を中心に報告する。

2 機能分担の最適化

一般のデジタル信号処理は、単純ではあるが高速性を要求するものと、複雑なシーケンス制御が必要なものに分類できる。前者はハードウェア向きであり、後者はソフトウェア処理が適している。

このため、ハードウェア部には専用 LSI (ASIC) を開発し、これを一般的な CPU と組み合わせて機能分担を

図るケースが多い。しかし、CPU と専用 LSI のインターフェース部には、十分なバス幅が確保できないなどのオーバーヘッドがあり、システム性能のボトルネックとなる。一方、近年 100 万ゲートに達する FPGA が開発され、実用的な性能を有するプロセッサ・コアをその内部に取り込むことが可能となった。この FPGA に専用のロジック回路とプロセッサ・コアを設けて機能分担し、これらを HDL (ハードウェア記述言語: Hardware Description Language) を用いて統一的に設計する手法が有効となる。FPGA 内部の高速ローカルバスで密に結合することにより、シンプルかつ効率的な信号処理システムを構築することができる。

3 FPGA によるリコンフィギュラブル・プロセッサ

今回は「ソフトウェア・ラジオ」というアプリケーションを想定して、FPGA によるプロセッサ・コアを開発した。このコアは 16bit の RISC 型プロセッサであり、FPGA 内部のメモリ単体でも動作する。リコンフィギュラブルな FPGA を用いれば、命令体系をダイナミックに変更することもできる。図 1 に示すように、ロジック・フィールド(LF)の一部とプロセッサは、単一クロックによる完全同期型で動作し、LF との入出力を専用コマンドとして取り込むことも可能である。さらに、HDL コンパイラやフロアパタンの最適化機能により、内部バスを効率的にレイアウトすることができ、密結合のシステムを短時間に設計することが可能になる。表 1 にプロセッサ・コアの主な仕様を示す。

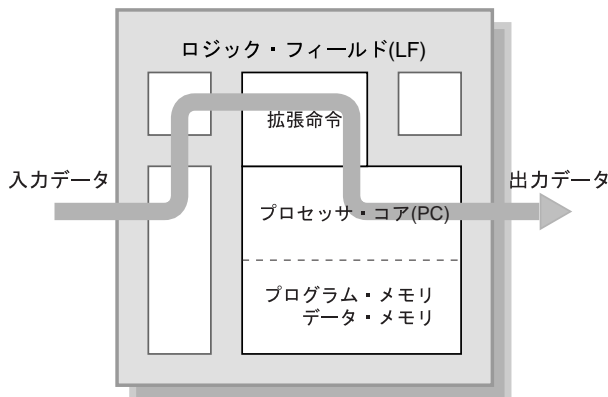


図 1: FPGA 内の機能ブロックの概念図

表 1: プロセッサ・コアの仕様

種類	16bit RISC
動作周波数	16MHz
命令実行速度	16MIPS
基本命令数	27
プログラムメモリ	256words 以上
データメモリ	256words 以上
使用FPGA	ALTERA FLEX10K-50
プログラム言語	アセンブラ

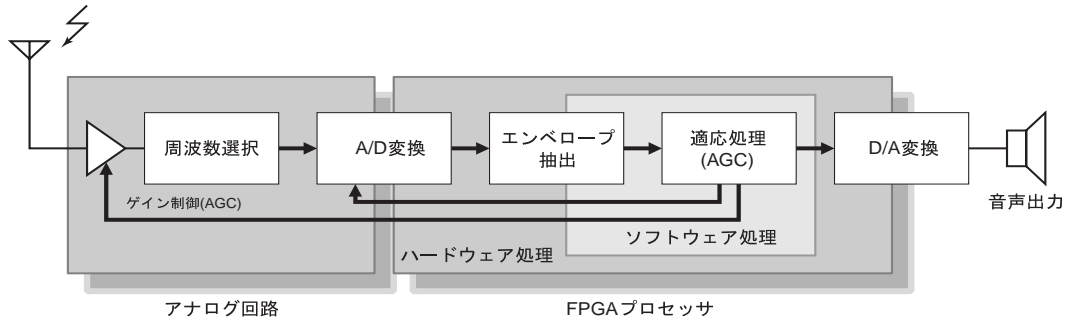


図 2: 製作したソフトウェア・ラジオのブロック図

4 ソフトウェア・ラジオ

ソフトウェア・ラジオとは、ラジオ受信機の周波数選択や検波等、従来アナログ回路で実現していた処理をソフトウェア（プロセッサ）により処理するものである。

その利点は、物理的なハードウェアを変更することなく様々な方式に対応できる点にあり、将来的にはラジオ放送の他、携帯電話をはじめとする無線通信が一台の端末で利用できるものと期待されている。

このようなリアルタイム信号処理には、ハードウェア演算並みの高度な演算能力が要求されるとともに、ソフトウェアによる複雑な制御が必要なため FPGA プロセッサで実現するのが適当である。

4.1 実験システムの構成

アンテナの受信信号を RF アンプで増幅し、高速の A/D 変換器を用いてデジタル信号に変換する。以降の処理はプロセッサのソフトウェアにより処理する。

周波数選択は、キャリアの周波数に同期した乗算処理により実現する。抽出したキャリアのエンベロープを取り出して、D/A 変換し音声出力とする。今回の実験では、高速かつ高精度の A/D 変換器が入手できなかったため、周波数選択をアナログ回路で行なっている。

RF 信号のエンベロープ検出には高いスループットが要求されるためロジック・フィールド上に構成している。音声帯域の処理および、A/D 変換の実効的な精度を向上させるためのゲイン制御については、プロセッサ・コア（ソフトウェア）が行なっている。

なお、プロセッサ・コアのプログラムおよびデータは、ホスト PC から ISA バスを通して自由にアクセスすることができる。実験システムの仕様、及び試作ボードの写真を表 2、図 3 に示す。

表 2: 実験システムの仕様

受信帯域	AM 530 ~ 1600KHz
A/D, D/A 変換精度	10bit, $f_s \leq 60\text{MHz}$



図 3: 試作ボードの外観

4.2 成果と課題

ソフトウェア・ラジオの実験システムを FPGA を用いて試作し、NHK を含む数局の AM 放送を良好な音質で受信した。今後の課題として、周波数選択部のデジタル化、高速 A/D 変換器の導入と精度の評価、信号処理アルゴリズムおよびプロセッサの高速化が挙げられる。また、FM 放送や無線通信の受信も行なえるようシステムの高速化を図る予定である。

5 まとめ

FPGA を用いたプロセッサを試作し、ソフトウェアラジオにおける機能分担の最適化について検討した。

参考文献

- [1] 森: "IP 時代の LSI 設計", 情報処理 (情報処理学会, June 1998), pp560-565
- [2] 春山: "ソフトウェア無線", 情報処理 (情報処理学会, March 1999), pp333-336
- [3] 今井, 井澤, 木下: "画像処理におけるプログラマブル・アクセラレータ方式の提案", 平成 5 年度 電子情報通信学会 学生研究発表会, p100 (March 1994)
- [4] 竹内, 井澤, アサノ: "FPGA を用いたプロセッサとソフトウェアの最適化 - ソフトウェア・ラジオへの応用 -", '99 PC カンファレンス, pp95-96